

PATENT
005702-20051

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tomoharu TANAKA

Serial No: 09/456,340

Filed: December 8, 1999

For: FLASH MEMORY CONTROL METHOD, FLASH
MEMORY SYSTEM USING THE CONTROL
METHOD AND FLASH MEMORY DEVICE
USING THE CONTROL METHOD

Art Unit: 2824

Examiner: Not assigned

#6
DiScott
5-17-00

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:
Assistant Commissioner for Patents
Washington D.C. 20231, on

February 2, 2000

Date of Deposit

William H. Wright

Name

Signature

2/2/00

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 10-351435 which was filed December 10, 1998, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

LOEB & LOEB LLP

By:

William H. Wright

Registration No. 36,312

Attorney for Applicant(s)

Date: February 2, 2000

RECEIVED

FEB 10 2000

TECHNOLOGY CENTER 2800

10100 Santa Monica Blvd., 22nd Floor
Los Angeles, California 90067-4164
Telephone: 310-282-2000
Facsimile: 310-282-2192



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1998年12月10日

願 番 号

Application Number:

平成10年特許願第351435号

願

人

Applicant(s):

株式会社東芝

RECEIVED

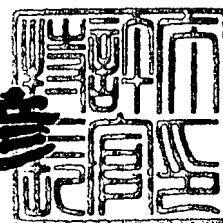
FEB 10 2000

TECHNOLOGY CENTER 2800

1999年11月26日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3083192

【書類名】 特許願

【整理番号】 A009805300

【提出日】 平成10年12月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/02

【発明の名称】 エラー訂正可能なフラッシュメモリシステム

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県川崎市幸区堀川町580番1号 株式会社東芝
 半導体システム技術センター内

 【氏名】 田中 智晴

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エラー訂正可能なフラッシュメモリシステム

【特許請求の範囲】

【請求項1】 複数のフラッシュメモリセルから構成されるデータの消去や書き込みのなされる記憶単位群を備え、

前記記憶単位群から読み出されるデータのうちの所定数のエラーを検出・訂正可能であって、

前記記憶単位群へのデータの変更をした際、前記記憶単位群のデータが所望の記憶状態になっているか否か検査の結果、所望の記憶状態にできなかったエラーがあり、かつこのエラーが前記所定数の範囲内に収まっているとき、前記記憶単位群に対して正常な記憶状態になっているとして処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項2】 複数のフラッシュメモリセルから構成されるメモリクラスタと、

前記メモリクラスタを構成する、少なくとも1以上のメモリセクタとを備え、

前記メモリセクタから読み出されるデータのうち、 n 個 ($n \geq 1$) のメモリセルに起因するエラーを検出・訂正可能であって、

前記メモリクラスタを消去し、前記メモリクラスタの消去状態を検査し、消去できなかったメモリセルを m 個以上 ($2 \leq m \leq n+1$) 含むメモリセクタが1つ以上ある、あるいは消去できなかったメモリセルを m 個以上 ($2 \leq m \leq n+1$) 含むメモリセクタが1つ以上ある可能性がある、と判断すると、前記メモリクラスタに対して正常な消去が行なえなかった、と処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項3】 前記 m は2であることを特徴とする請求項2記載のエラー訂正可能なフラッシュメモリシステム。

【請求項4】 複数のフラッシュメモリセルから構成されるメモリクラスタと、

前記メモリクラスタを構成する、少なくとも1以上のメモリセクタとを備え、

前記メモリセクタから読み出されるデータのうち、 n シンボル ($n \geq 1$ 、1シ

ンボル = k ビット、 $k \geq 2$) エラーを検出・訂正可能であって、

前記メモリクラスタを消去し、前記メモリクラスタの消去状態を検査し、エラーを m シンボル以上 ($2 \leq m \leq n+1$) 含むメモリセクタが 1 つ以上ある、あるいはエラーを m シンボル以上 ($2 \leq m \leq n+1$) 含むメモリセクタが 1 つ以上ある可能性がある、と判断すると、前記メモリクラスタに対して正常な消去が行なえなかった、と処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項 5】 前記 m は 2 であることを特徴とする請求項 4 記載のエラー訂正可能なフラッシュメモリシステム。

【請求項 6】 複数のフラッシュメモリセルから構成されるメモリクラスタと、

前記メモリクラスタを構成する、少なくとも 1 以上のメモリセクタと、

前記メモリセクタから読み出されるデータのエラーを検出・訂正するエラー検出・訂正ユニットとを備え、

前記メモリクラスタを消去し、前記メモリクラスタの消去状態を検査し、前記メモリクラスタに含まれる全てのメモリセクタそれぞれの消去エラー状況が所定の基準を満たすと正常に消去されたと処理するものであって、

前記所定の基準は前記エラー検出・訂正ユニットで検出・訂正可能である消去エラー状況に含まれることを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項 7】 複数のフラッシュメモリセルから構成されるメモリセクタを備え、

前記メモリセクタから読み出されるデータのうち、 n 個 ($n \geq 1$) のメモリセルに起因するエラーを検出・訂正可能であって、

前記メモリセクタにデータを書き込み、前記メモリセクタの書き込み状態を検査し、書き込みできなかったメモリセルが m 個以上 ($2 \leq m \leq n+1$) ある、あるいは書き込みできなかったメモリセルが m 個以上 ($2 \leq m \leq n+1$) ある可能性がある、と判断すると、前記メモリセクタに対して正常な書き込みが行なえなかった、と処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

ム。

【請求項 8】 前記 m は 2 であることを特徴とする請求項 7 記載のエラー訂正可能なフラッシュメモリシステム。

【請求項 9】 複数のフラッシュメモリセルから構成されるメモリセクタを備え、

前記メモリセクタから読み出されるデータのうち、 n シンボル ($n \geq 1$ 、1 シンボル = k ビット、 $k \geq 2$) エラーを検出・訂正可能であって、

前記メモリセクタにデータを書き込み、前記メモリセクタの書き込み状態を検査し、エラーが m シンボル以上 ($2 \leq m \leq n + 1$) ある、あるいはエラーが m シンボル以上 ($2 \leq m \leq n + 1$) ある可能性がある、と判断すると、前記メモリセクタに対して正常な書き込みが行なえなかった、と処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項 10】 前記 m は 2 であることを特徴とする請求項 9 記載のエラー訂正可能なフラッシュメモリシステム。

【請求項 11】 複数のフラッシュメモリセルから構成されるメモリセクタを備え、

前記メモリセクタから読み出されるデータのうち、 n ビット ($n \geq 1$) のエラーを検出・訂正可能であって、

前記メモリセクタにデータを書き込み、前記メモリセクタの書き込み状態を検査し、エラーが m ビット以上 ($2 \leq m \leq n + 1$) あると判断すると、前記メモリセクタに対して正常な書き込みが行なえなかった、と処理することを特徴とするエラー訂正可能なフラッシュメモリシステム。

【請求項 12】 前記 m は 2 であることを特徴とする請求項 11 記載のエラー訂正可能なフラッシュメモリシステム。

【請求項 13】 複数のフラッシュメモリセルから構成されるメモリセクタと、

前記メモリセクタから読み出されるデータのエラーを検出・訂正するエラー検出・訂正ユニットとを備え、

前記メモリセクタにデータを書き込み、前記メモリセクタの書き込み状態を検

査し、前記メモリセクタの書き込みエラー状況が所定の基準を満たすと正常に書き込みされたと処理するものであって、

前記所定の基準は前記エラー検出・訂正ユニットで検出・訂正可能である書き込みエラー状況に含まれることを特徴とするエラー訂正可能なフラッシュメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ファイルデータの書き換え／読み出しに使用される、エラー訂正可能なフラッシュメモリシステムに関する。

【0002】

【従来の技術】

コンピュータの記憶装置として、記憶容量に対する価格が比較的低いハードディスク装置が多く用いられている。ハードディスクでは、セクタと呼ばれる単位（例えば512バイト）でファイルデータの書き換え／読み出しが行える。

【0003】

ディスクの瑕やゴミの付着等により、セクタ内のデータが正常に書けない、読み出せないといったエラーが発生する場合がある。このようなエラーを検出・訂正できるように、ファイルデータにはエラーチェックコードと呼ばれるデータが付加される。これにより、データの読み出しの際に、ファイルデータとエラーチェックコードからエラーの有無を検出し、エラーがあればそのエラーデータを訂正する。

【0004】

コンピュータで用いられている多くのファイル管理システムは、複数のセクタからクラスタという単位を構成し、コンピュータ上ではファイルデータはクラスタ単位で管理される。

【0005】

ハードディスクは、モーター駆動のため消費電力が大きい。また、振動によるディスク破損など信頼性を低下させる。これに対して、フラッシュメモリを用い

た記憶装置がある。フラッシュメモリは消費電力が小さく、振動にも強い。もちろん電池によるバックアップシステムは不要である。このため、フラッシュメモリは、特に携帯電子機器などで多く用いられる。

【0006】

フラッシュメモリを用いた記憶装置を以降、フラッシュメモリシステムと称する。フラッシュメモリシステムは、多くの場合、コンピュータに対してハードディスクと同じ立場で扱われるように構成される。

【0007】

つまり、フラッシュメモリシステムは、ハードディスクドライバを動作させるのと同じように構成される。コンピュータでは、ハードディスクやフラッシュメモリを何等違い無く扱える利便性が要求されるためである。

【0008】

上記要求を満たすため、フラッシュメモリに対してセクタ単位でのデータの書き込み及び読み出しが行えればよい。すなわち、フラッシュメモリ内に1セクタ分のデータを一時的に蓄えるデータレジスタを備える。これにより、一括して1セクタのデータを書いたり読んだりできるように構成される。この技術は周知であり、一括して書き込み／読み出しを行うことによってシステムを高速に動作させることが可能となる。

【0009】

NAND型フラッシュメモリは、上記技術に適したメモリ構造として知られている。例えば、1セクタが528バイトの単位で一括書き込み／読み出しが可能で、例えば、4セクタで1クラスタを構成し、クラスタ単位で一括消去ができる。このNAND型フラッシュメモリ内のセクタ・クラスタをコンピュータのファイル管理システムのセクタ・クラスタに合わせることができる。

【0010】

NAND型フラッシュメモリを用いたフラッシュメモリシステムでは、クラスタを消去した後、クラスタ内のメモリセル全てが消去されているか否かチェックする（ベリファイ消去動作を含む）。もし、1つでも消去できないメモリセルがあると検出されれば、そのクラスタは不良であるとして使用禁止となる。

【0011】

同様に、セクタにデータを書き込みした後、セクタ内のメモリセル全てが正常に書き込みされているか否かチェックする（ベリファイ書き込み動作を含む）。もし、1つでも所望の書き込みができないメモリセルがあると検出されれば、そのセクタは不良とみなされ、そのセクタを含むクラスタは使用禁止となる。

【0012】

使用禁止にされたクラスタを置き換えるため、冗長なクラスタが用意されている。使用禁止になったクラスタ数が一定数を超えると置き換えができなくなり、フラッシュメモリシステム自体が不良となる。

【0013】

NAND型フラッシュメモリの中で、1つのメモリセルに、例えば4つのしきい値電圧を設定して2ビットのデータを書き込む多値NAND型フラッシュメモリが知られている。これは従来のNAND型フラッシュメモリに比べ、高精度のしきい値電圧の制御を要し、データ保持特性の劣化などによるメモリセルの不良率は高くなる。

【0014】

このため、多値NAND型フラッシュメモリを用いたフラッシュメモリシステムでは、エラー検出やエラー訂正の確度が高められる。このメモリシステムでも上述と同様にクラスタを消去した後、クラスタ内のメモリセル全てが消去されているか否かチェックする（ベリファイ消去動作を含む）。もし、1つでも消去できないメモリセルがあると検出されれば、そのクラスタは不良であるとして使用禁止となる。

【0015】

同様に、セクタにデータを書き込みした後、セクタ内のメモリセル全てが正常に書き込みされているか否かチェックする（ベリファイ書き込み動作を含む）。もし、1つでも所望の書き込みができないメモリセルがあると検出されれば、そのセクタは不良とみなされ、そのセクタを含むクラスタは使用禁止となる。

【0016】

【発明が解決しようとする課題】

従来のフラッシュメモリを用いたメモリシステムでは、クラスタを消去した後、クラスタ内のメモリセル全てが消去されているか否かチェックする。もし、1つでも消去できないメモリセルがあると検出されれば、そのクラスタは不良として使用禁止となる。

【0017】

同様に、従来のフラッシュメモリを用いたメモリシステムでは、セクタにデータを書き込みした後、セクタ内のメモリセル全てが正常に書き込みされているか否かチェックする。もし、1つでも所望の書き込みができてないメモリセルがあると検出されれば、そのセクタは不良とみなされ、そのセクタを含むクラスタは使用禁止となる。

【0018】

上述のように、データに付加されるエラーチェックコード等により1つのセクタ内で複数のメモリセルのエラー検出・訂正が可能なシステムにおいても、エラー検出・訂正の動作モード以前の消去や書き込み時に、たった1つのメモリセルの不良のために、そのメモリセルの属するクラスタが不良とされ、使用禁止になる。

【0019】

言い換えると、システムの救済可能な不良状況であるにもかかわらず、不良とみなされる不良セクタあるいは不良クラスタが発生しやすい。この結果、メモリシステムにおいて使用禁止のメモリ領域が増大し、結局システム不良を引き起こしてしまうという問題があった。

【0020】

この発明は、上記事情を考慮してなされたものであり、その課題は、メモリシステムにおける使用禁止のメモリ領域が過剰に増大するのを防ぐ、エラー訂正可能なフラッシュメモリシステムを提供することにある。

【0021】

【課題を解決するための手段】

本発明におけるエラー訂正可能なフラッシュメモリシステムは、複数のフラッシュメモリセルから構成されるデータの消去や書き込みのなされる記憶単位群を

備え、前記記憶単位群から読み出されるデータのうちの所定数のエラーを検出・訂正可能であって、前記記憶単位群へのデータの変更をした際、前記記憶単位群のデータが所望の記憶状態になっているか否か検査の結果、所望の記憶状態にできなかったエラーがあり、かつこのエラーが前記所定数の範囲内に収まっているとき、前記記憶単位群に対して正常な記憶状態になっているとして処理することを特徴とする。

【0022】

本発明では、消去あるいは書き込み時に引き起こされたフラッシュメモリセルのエラーが、エラー訂正可能な一定の量以下であれば、消去あるいは書き込み成功したとみなす。これによって、システム不良率が下がり、高信頼性のフラッシュメモリシステムの構築に寄与する。

【0023】

【発明の実施の形態】

図1は、本発明の第1の実施形態に係るエラー訂正可能なフラッシュメモリシステムの構成であり、フラッシュメモリカードを示すシステムブロック図である。フラッシュメモリカード1は、MPU2（マイクロプロセッサユニット）とホストからの命令で制御される。

【0024】

ROM3（リード・オンリー・メモリ）には、制御プログラムが書き込まれている。MPU2はROM3のプログラムを読んでホストとデータのやり取りをするカードインターフェイスユニット4、SRAMインターフェイス兼データ転送制御ユニット5、エラー検出・訂正ユニット7、フラッシュメモリ制御ユニット8を制御する。

【0025】

フラッシュメモリ制御ユニット8には、エラー判定部81が含まれている。エラー判定部81は、フラッシュメモリ9におけるデータの消去、書き込みの各動作モードでのエラーが、ある決められたアルゴリズムに従ってエラー検出・訂正ユニット7で訂正できる範囲に収まっていれば、そのエラーを許可し、正常な消去または書き込みがなされたとみなされるよう作用する。

【0026】

上記図1のカードシステムにおけるデータの書き込みおよび消去について説明する。ホストから送られてきたデータは、カードインターフェイスユニット4を通じて、SRAMインターフェイス兼データ転送制御ユニット5に送られる。SRAMインターフェイス兼データ転送制御ユニット5は、データをエラー検出・訂正ユニット7に送る。

【0027】

エラー検出・訂正ユニット7は、データを読み出した時にエラー検出・訂正をするために必要なチェックコード（エラーチェックコード）を発生する。これらのデータとチェックコードは、フラッシュメモリ制御ユニット8からフラッシュメモリ9に送られ、フラッシュメモリ9に書き込まれる。このとき必要であれば、フラッシュメモリ制御ユニット8は、上記チェックコードを含むデータの書き込み前にフラッシュメモリ9に対して消去命令を出し、メモリのデータの消去を行う。

【0028】

フラッシュメモリ9の中では、制御回路11がデータを受け取り、メモリセルアレイ10の指定された物理アドレスに対して書き込みを行う。制御回路11は書き込みができたか否かをチェックし、書き込みが成功したと判断すると、フラッシュメモリ制御ユニット8に“パス”のステータス情報を返す。

【0029】

消去のときも同様である。制御回路11は消去できたか否かをチェックし、消去が成功したと判断すると、フラッシュメモリ制御ユニット8に“パス”のステータス情報を返す。

【0030】

“パス”を受け取ったフラッシュメモリ制御ユニット8は、MPU2に対し、消去あるいは書き込みに成功したという情報を送る。

【0031】

制御回路11は、消去あるいは書き込みに成功しなかったと判断すると、フラッシュメモリ制御ユニット8に“フェイル”のステータスを返す。“フェイル”

を受け取ったフラッシュメモリ制御ユニット 8 は、フラッシュメモリ 9 にエラーの状況を出力するように命令を出す。

【0032】

上記“フェイル”であると、フラッシュメモリ制御ユニット 8 は、フラッシュメモリ 9 からエラー状況を受け取る。このエラー状況を読み出した際に、ある決められたアルゴリズムに基づいてエラー訂正可能な状況であると判断すると、MPU 2 に消去あるいは書き込みに成功したという情報を送る。

【0033】

これに対して、エラー状況を読み出した際に、ある決められたアルゴリズムに基づいてエラー訂正不可能な状況であると判断すると、MPU 2 に消去あるいは書き込みに失敗したという情報を送る。

【0034】

MPU 2 は、フラッシュメモリ 9 において、上記消去あるいは書き込みに失敗したという情報に応じた物理アドレスを使用禁止にする。さらに MPU 2 は、その物理アドレスを予備の物理アドレスに割り当て置き換えて、再度消去あるいは書き込みを行う。

【0035】

次に、図 1 に示すカードシステムにおけるデータの読み出しについて説明する。ホストからカードインターフェイスユニット 4 に読み出し命令が投入されると、MPU 2 はフラッシュメモリ制御ユニット 8 に読み出し命令を出し、さらにフラッシュメモリ制御ユニット 8 は、フラッシュメモリ 9 に読み出し命令を出す。

【0036】

フラッシュメモリ 9 では、制御回路 11 がメモリセルアレイ 10 の中の指定された物理アドレスのデータを読み出し、フラッシュメモリ制御ユニット 8 に出力する。読み出されたデータは、エラー検出・訂正ユニット 7 に送られ、データ中にエラーが有るか無いかチェックコードを用いてチェックされる。

【0037】

上記チェックにより、フラッシュメモリ 9 から読み出したデータにエラーが無いと判断された場合、チェックコードを除いたデータは、そのまま S RAM イン

ターフェイス兼データ転送制御ユニット5とカードインターフェイスユニット4を介してホストに出力される。

【0038】

上記チェックにより、フラッシュメモリ9から読み出したデータにエラーがあると判断されると、エラーの状況が訂正可能であれば、データは、エラー検出・訂正ユニット7でエラー訂正されてからホストに出力される。エラー訂正不可能な状況であれば、MPU2はホストへ読み出しに失敗したことをカードインターフェイス2を介して出力する。

【0039】

SRAM6は、ホストから第2のデータが入力された時に、それ以前に入力された第1のデータの処理がまだ終わってない場合に、一時的に上記第2のデータを記憶する。また、データをホストに出力する際に、ホストがデータを受け取る準備ができてない場合、一時的に出力データを記憶する。

【0040】

図2(a), (b), (c)は、図1中のセルアレイ10の構成を示す概念図である。セルアレイ10は、複数のメモリクラスタ（以下、クラスタと称する）に分割される。ここでは、例えば64個のクラスタでセルアレイ10は構成されている（図2(a)）。

【0041】

1つのクラスタは、1つあるいは複数のメモリセクタ（以下、セクタと称する）で構成されている。ここでは、4つのセクタで1つのクラスタを構成している（図2(b)）。クラスタは消去の単位であり、セクタは書き込みあるいは読み出しの単位である。現在のコンピュータでは、1セクタが512バイト程度で、1クラスタが数kバイト～数十kバイト程度が主流である。

【0042】

1セクタには、ホストから送られてきたデータと、そのデータからエラー検出・訂正ユニット7で発生されたチェックコードと、ホスト側のファイル管理システム上の論理アドレスとが記憶される。この例では、データはページ0と1に、チェックコードはECC0と1に、論理アドレスはLAに格納される（図2(c)

))。

【0043】

上記実施形態によれば、不良状況のクラスタをフラッシュメモリ9側でのステータス情報の“フェイル”で単に使用禁止にすることなく、システムの救済可能な不良状況であるかを判定することができる。これにより、エラー検出・訂正が可能なシステムを有効に利用できる。

【0044】

この結果、システムの救済可能な不良状況でも、エラー検出・訂正の動作モード以前に不良とみなされるような、不良セクタあるいは不良クラスタの発生を防ぐことができる。この結果、メモリシステムにおける使用禁止のメモリ領域の増大を抑え、システム不良の低減に優れた効果を発揮する。

【0045】

上記実施形態において、エラー判定部81は、フラッシュメモリ制御ユニット8に含まれるようにしていたが、これに限定されない。エラー判定部として他のユニットに含まれるようにしてもよい。例えば、エラー検出・訂正ユニット7、あるいは、フラッシュメモリ9内の制御回路11に含まれるように構成しても上記同様の効果が得られる。

【0046】

このような本発明の効果について、さらに図9～図11を参照して詳細に説明する。

図9は、フラッシュメモリクラスタの消去後のしきい値分布を示している。フラッシュメモリにおいて、消去（ペリファイ消去動作も含む）によって、しきい値電圧が所定の値以下にされる（データ“1”の状態）。

【0047】

しかしながら、例えば黒丸で示したように1または数個のメモリセルが消去できない場合がある。このようなエラーが起こった場合、従来は消去に失敗したとして処理してきた。

【0048】

図10は、フラッシュメモリセクタの書き込み後のしきい値分布を示している

。例えば、フラッシュメモリにおいて、データ“0”書き込み（ベリファイ書き込み動作も含む）により、しきい値が所定の値以上にされる。

【0049】

しかしながら、例えば黒丸で示したように1または数個のメモリセルが書き込みできない場合がある。このようなエラーが起こった場合、従来は書き込みに失敗したとして処理してきた。

【0050】

つまり、従来システムでは、上述のようなエラーを起こしたメモリセルを含むクラスタは使用禁止とされるのである。すなわち、このようなエラーが、エラー検出・訂正ユニット7（図1に示す）を用いてシステムの的に救済可能であっても、エラー検出・訂正の動作モード以前に、そのメモリセルの属するクラスタが不良とされ、使用禁止になる。

【0051】

本発明は、このようなエラーをまず、システムの的に救済可能な不良状況であるか判定する。これにより、クラスタ中ほとんどのメモリセルが正常で、かつエラーとなった数個のメモリセル全てについてエラー検出・訂正が可能であれば、そのクラスタを使用禁止としないでシステムの的に正常なクラスタとして利用する。

【0052】

図11は、1つのメモリセルに2ビット分のデータを記憶させる4値記憶システムを用いたフラッシュメモリの、しきい値分布を示している。データに対応する各しきい値電圧の領域の間が2値記憶システムに比べて狭い。従って、2値記憶システムより書き込みに失敗する確率が増加する。

【0053】

本発明は、このようなフラッシュメモリにも優れた効果を発揮する。すなわち、図11中に示すようなエラーをシステムの的に救済可能な不良状況であるか判定する。これにより、ほとんどのメモリセルが正常に機能するクラスタ中、エラーとなった数個のメモリセル全てがエラー検出・訂正が可能であれば、そのクラスタを使用禁止としないでシステムの的に正常なクラスタとして利用する。

【0054】

この結果、システムの的に救済可能な不良状況を有するものは、不良とみなさないで、過剰な不良セクタあるいは不良クラスタの発生を防止できる。この結果、メモリシステムにおける使用禁止のメモリ領域の増大を抑え、システム不良を低減する。

【0055】

図3は、本発明の第2の実施形態に係るエラー訂正可能なフラッシュメモリシステムの構成であり、フラッシュメモリカードを示すシステムブロック図である。図1では、エラー判定部(81)がフラッシュメモリ制御ユニット8で作用するのに対し、この図3では、エラー判定部(111)がフラッシュメモリ9内の制御回路11で作用する。その他は図1の構成と同様であるため同一の符号を付している。

【0056】

すなわち、フラッシュメモリカード1は、MPU2(マイクロプロセッサユニット)とホストからの命令で制御される。ROM3(リード・オンリー・メモリ)には、制御プログラムが書き込まれている。MPU2は、ROM3のプログラムを読み、ホストとデータのやり取りをするカードインターフェイスユニット4、SRAMインターフェイス兼データ転送制御ユニット5、エラー検出・訂正ユニット7、フラッシュメモリ制御ユニット8を制御する。

【0057】

フラッシュメモリ9の中では、制御回路11がデータを受け取り、指定されたメモリセルアレイ10内の物理アドレスに対して消去または書き込みまたは読み出しの動作を行わせる。

【0058】

制御回路11には、エラー判定部111が含まれている。エラー判定部111は、データの消去、書き込みの各動作モードでのエラーが、ある決められたアルゴリズムに従ってエラー検出・訂正ユニット7で訂正できる範囲に収まっていれば、そのエラーを許可し、正常な消去または書き込みがなされたとみなされるよう作用する。

【0059】

図4は、フラッシュメモリセルアレイのセクタ内のデータ配列例を示す概念図であり、フラッシュメモリ9のセルアレイ10におけるセクタ内の構成を示している。すなわち、図4は、前記図2(c)に従ったデータ配列の詳細を示すものである。

【0060】

ここでは、フラッシュメモリとして1つのメモリセルに2ビット分のデータを記憶する4値記憶システムを用いる。図4に示すように、データD0-xとD1-x ($x=0,1,\dots,2047$) が対となって1つのメモリセルに記憶され、前記図11に示す各データ“11”, “10”, “01”, “00”の書き込みの状態と対応するようになっている。

【0061】

また、ECCで示すエラーチェックコードC0-yとC1-y ($y=0,1,\dots,42$) が対となって1つのメモリセルに記憶される（以降、エラーチェックコードをチェックコードと称する）。チェックコードC0-yとC1-yは、図3中のエラー検出・訂正ユニット7で生成される。チェックコードC0-yは、データD0-0～D0-2047に対して、チェックコードC1-yは、データD1-0～D1-2047に対して、それぞれ決められたエラー訂正アルゴリズムに応じたnビットの訂正が可能のように、付加されるものである。

【0062】

すなわち、上記の場合、n個のメモリセルが不良を起こしてもエラー訂正可能である。訂正可能なビット数はチェックコード長によって制限される。ここでのチェックコード長は43ビットであるが、必要なnに応じてメモリセルの数を増やし、チェックコード長を43ビットより長くすればよい。

【0063】

LA0～6それぞれに格納される各論理アドレスA0～A5は、3つのメモリセルに記憶される。同じアドレスデータが7セット(LA0～LA6)設けられる。これにより、多数決理論によって1つのアドレスデータAz ($z=0\sim5$) に対して3ビットまで訂正可能である（4:3が境となるから）。よって、3個のメモリセルが不良を起こしてもエラー訂正可能である。訂正可能ビット数を増

やしたければ、アドレスデータのセット数を増やしてやればよい。

【0064】

以上のデータ配列を踏まえ、図2、図3、図4を参照し、第2の実施形態の要部について説明する。

制御回路11は、クラスタを消去し、クラスタの消去状態を検査する（ベリファイ消去動作も含む）。

この結果、制御回路11は、消去できなかったメモリセルを m 個以上（ $2 \leq m \leq n+1$ ）含むセクタが1つ以上ある、あるいは、消去できなかったメモリセルを m 個以上（ $2 \leq m \leq n+1$ ）含むセクタが1つ以上ある可能性がある、と判断すると、クラスタに対して正常な消去が行なえなかったとし、フラッシュメモリ制御ユニット8に“フェイル”のステータスを返す。

【0065】

例えば、 $n=3$ 、 $m=2$ とすると、1セクタ当たり3個のメモリセルのエラーを訂正できる。上記から、消去時に各セクタ当たり1個のメモリセルのエラーは許可し、正常な消去が行えたとする。すなわち、消去時に1セクタにおけるエラーが1個だけなら、フラッシュメモリ制御ユニット8に“パス”のステータスを返す。

【0066】

また、制御回路11は、セクタにデータを書き込み、セクタの書き込み状態を検査する（ベリファイ書き込みも含む）。書き込みできなかったメモリセルが m 個以上（ $2 \leq m \leq n+1$ ）ある、あるいは書き込みできなかったメモリセルが m 個以上（ $2 \leq m \leq n+1$ ）ある可能性がある、と判断すると、セクタに対して正常な書き込みが行なえなかったとし、フラッシュメモリ制御ユニット8に“フェイル”のステータスを返す。

【0067】

例えば、 $n=3$ 、 $m=2$ とすると、1セクタ当たり3個のメモリセルのエラーを訂正できる。上記から、書き込み時に1個のメモリセルのエラーは許可し、正常な書き込みが行えたとする。すなわち、書き込み時に1セクタにおけるエラーが1個だけなら、フラッシュメモリ制御ユニット8に“パス”のステータスを返

す。

【0068】

次に、第3の実施形態について説明する。この第3の実施形態についても前記図2、図3、図4を参照する。ここではフラッシュメモリとして1つのメモリセルに2ビット分のデータを記憶する4値記憶システムを用いる。図3に示すように、データD0-xとD1-x ($x=0,1,\dots,2047$) が対となって1つのメモリセルに記憶される。

【0069】

この第3の実施形態では、エラー検出・訂正ユニット7で、データを複数メモリセル分の群（シンボル）に切り分け、nシンボル訂正可能なようにチェックコードC0-1～C0-42, C1-1～C1-42を生成する。一般的によく用いられるのはリード・ソロモン・コードである。

【0070】

すなわち、上記の場合、nシンボル数に応じた個数のメモリセルが不良を起してもエラー訂正可能である。訂正可能なシンボル数はチェックコード長によって制限される。ここではチェックコード長は43ビットであるが、必要なnに応じてメモリセルの数を増やし、チェックコード長を43ビットより長くすればよい。

【0071】

LA0～6それぞれに格納される各論理アドレスA0～A5は、3つのメモリセルに記憶される。同じアドレスデータが7セット（LA0～LA6）設けられる。これにより、多数決理論によって1つのアドレスデータAz ($z=0\sim5$) に対して3ビットまで訂正可能である。よって、3個のメモリセルが不良を起してもエラー訂正可能である。訂正可能ビット数を増やしたければ、アドレスデータのセット数を増やしてやればよい。

【0072】

以上のデータ配列を踏まえ、図2、図3、図4を参照し、第3の実施形態の要部について説明する。

制御回路11は、クラスタを消去し、クラスタの消去状態を検査する（ベリフ

アイ消去動作も含む)。

この結果、制御回路 11 は、エラーを m シンボル以上 ($2 \leq m \leq n+1$) 含むセクタが 1 つ以上ある、あるいはエラーを m シンボル以上 ($2 \leq m \leq n+1$) 含むセクタが 1 つ以上ある可能性がある、と判断すると、クラスタに対して正常な消去が行なえなかったとし、フラッシュメモリ制御ユニット 8 に“フェイル”のステータスを返す。

【0073】

例えば、 $n=3$ 、 $m=2$ とすると、1 セクタ当たり 3 個のシンボルのエラーを訂正できる。上記から、消去時に各セクタ当たり 1 個のシンボルのエラーは許可し、正常な消去が行えたとする。すなわち、消去時に 1 セクタにおけるシンボルエラーが 1 個だけなら、フラッシュメモリ制御ユニット 8 に“パス”のステータスを返す。

【0074】

また、制御回路 11 は、セクタにデータを書き込み、セクタの書き込み状態を検査する(ペリファイ書き込みも含む)。エラーが m シンボル以上 ($2 \leq m \leq n+1$) ある、あるいはエラーが m シンボル以上 ($2 \leq m \leq n+1$) ある可能性がある、と判断すると、セクタに対して正常な書き込みが行なえなかったとし、フラッシュメモリ制御ユニット 8 に“フェイル”のステータスを返す。

【0075】

例えば、 $n=3$ 、 $m=2$ とすると、1 セクタ当たり 3 個のシンボルのエラーを訂正できる。上記から、書き込み時に 1 個のシンボルのエラーは許可し、正常な書き込みが行えたとする。すなわち、書き込み時に 1 セクタにおけるシンボルエラーが 1 個だけなら、フラッシュメモリ制御ユニット 8 に“パス”のステータスを返す。

【0076】

次に、第 4 の実施形態について説明する。この第 4 の実施形態についても前記図 2、図 3、図 4 を参照する。ここではフラッシュメモリとして 1 つのメモリセルに 1 ビット分のデータを記憶する 2 値記憶システムを用いる。図 3 に示すデータ $D0-x$ と $D1-x$ ($x=0,1,\dots,2047$) がそれぞれ 1 つのメモリセルに記憶される。

【0077】

この第4の実施形態では、エラー検出・訂正ユニット7で、データD0-0～D0-2047とD1-0～D1-2047に対してnビット訂正可能なようにチェックコードC0-1～C0-42, C1-1～C1-42を生成する。

【0078】

すなわち、上記の場合、n個のメモリセルが不良を起こしてもエラー訂正可能である。訂正可能なビット数はチェックコード長によって制限される。ここでのチェックコード長は86ビットであるが、必要なnに応じてメモリセルの数を増やし、チェックコード長を86ビットより長くすればよい。

【0079】

LA0～6それぞれに格納される各論理アドレスA0～A5は、6つのメモリセルに記憶される。同じアドレスデータが7セット(LA0～LA6)設けられる。これにより、多数決理論によって1つのアドレスデータAz (z=0～5)に対して3ビットまで訂正可能である。よって、3個のメモリセルが不良を起こしてもエラー訂正可能である。訂正可能ビット数を増やしたければ、アドレスデータのセット数を増やしてやればよい。

【0080】

以上のデータ配列を踏まえ、図2、図3、図4を参照し、第4の実施形態の要部について説明する。

制御回路11は、クラスタを消去し、クラスタの消去状態を検査する（ペリファイ消去動作も含む）。

【0081】

この結果、制御回路11は、消去できなかったメモリセルをm個以上 ($2 \leq m \leq n+1$) 含むセクタが1つ以上ある、あるいは消去できなかったメモリセルをm個以上 ($2 \leq m \leq n+1$) 含むセクタが1つ以上ある可能性がある、と判断すると、クラスタに対して正常な消去が行なえなかったとし、フラッシュメモリ制御ユニット8に“フェイル”のステータスを返す。

【0082】

例えば、 $n=3$ 、 $m=2$ とすると、1セクタ当たり3個のメモリセルのエラー

を訂正できる。上記から、消去時に各セクタ当たり1個のメモリセルのエラーは許可し、正常な消去が行えたとする。すなわち、消去時に1セクタにおけるエラーが1個だけなら、フラッシュメモリ制御ユニット8に“パス”のステータスを返す。

【0083】

また、制御回路11は、セクタにデータを書き込み、セクタの書き込み状態を検査する（ベリファイ書き込みも含む）。この結果、エラーが m ビット以上（ $2 \leq m \leq n+1$ ）あると判断すると、セクタに対して正常な書き込みが行なえなかったとし、フラッシュメモリ制御ユニット8に“フェイル”のステータスを返す。

【0084】

例えば、 $n=3$ 、 $m=2$ とすると、1セクタ当たり3ビットのエラーを訂正できる。上記から、書き込み時に1ビットのエラーは許可し、正常な書き込みが行えたとする。すなわち、書き込み時に1セクタにおけるエラーが1ビットだけなら、フラッシュメモリ制御ユニット8に“パス”のステータスを返す。

【0085】

図5は、メモリセルアレイの具体例を示す回路図である。図5の構成は前記図1や図3中のセルアレイ10の具体的な構成の一部を示すものである。メモリセルMは、4個が直列に接続されその両端はそれぞれ選択トランジスタSを介してビット線BLとソース線SRCに繋がる。これはNAND型メモリセルと呼ばれる。ここでは、1つのメモリセルに2ビット分のデータを記憶するとしている。

【0086】

1セクタは1つのワード線WLに繋がる2112個のメモリセルで構成され、4224ビット分のデータを記憶する。例えば、前記図4に示したようにデータを記憶する。1クラスタは選択トランジスタに挟まれた4つのセクタで構成される。1セクタ単位で書き込み・読み出しが行われ、1クラスタ単位で消去が行われる。

【0087】

NAND型メモリセルでは、メモリセルMが直列に接続されているために、直

列中の1つのメモリセルMがエラーを起こすと、他のメモリセルMもエラーを起こしているように観測される。例えば、直列接続されている4つのメモリセルのうち1つが壊れて非導通となると、他の3つのメモリセルも非導通のように観測される。

【0088】

上記メモリセルの構成によれば、図1（または図3）の制御回路11からは、壊れたメモリセルと他の3つのメモリセルについて区別できない。すなわち、この直列接続の各メモリセル（1NANDセル）に関してエラーが起こった可能性があると判断する。

【0089】

このような点からも、1クラスタ中（または1セクタ中）の1つのエラーによってそのクラスタを使用禁止としなくても、正常なクラスタ（またはセクタ）として機能できる場合が多い。本発明を適用することによって、NAND型セルの過剰な不良セクタあるいは不良クラスタの発生を防止できる。この結果、メモリシステムにおける使用禁止のメモリ領域の増大を抑え、システム不良を低減する。

【0090】

図6、7、8は、本発明の第5の実施形態に係り、前記図1のメモリシステムに関する各動作モードのアルゴリズムを示すフローチャートである。図6は読み出し動作モード、図7は消去動作モード、図8は書込み動作モードを示している。

【0091】

まず、図6の読み出し動作モードについて説明する。ホストから読み出し要求があつて読み出し開始となる（S1）。フラッシュメモリ9に対してフラッシュメモリ制御ユニット8は読み出し命令を投入する（S2）。続いて読み出すセクタの物理アドレスを投入すると（S3）、制御回路11がセルアレイ10からデータを読み出しフラッシュメモリ制御ユニット8に出力し、フラッシュメモリ制御ユニット8はデータを取得する（S4）。

【0092】

フラッシュメモリ制御ユニット8は、エラー検出・訂正ユニット7にデータを転送し、エラー検出・訂正ユニットでセクタ中のエラーの数を検出する(S5)。エラーの数は、エラー訂正方法がビット単位であればビット数であり、エラー訂正方法がシンボル単位であればシンボル数である。

【0093】

エラーが有るか無いかを判定し(S6)、もし、エラーが無ければ読み出し成功と判定され(S7)、フラッシュメモリ9から読み出したデータはチェックコードを除いてそのままホストへ出力され読み出し終了となる(S11)。

【0094】

もし、エラーがあった場合、エラーの数が訂正可能なエラー数に収まっているか(ここでは3つ以下)否かが判定され(S8)、エラー訂正可能ならば、エラー訂正が行われる(S9)。その結果、読み出し成功と判定されて(S7)、訂正されたデータはチェックコードを除いてホストへ出力され読み出し終了となる(S11)。

【0095】

また、エラーの数が訂正可能な数を上回った場合、読み出し不良と判定される(S10)。このときは、ホストへ読み出しに失敗したことを告げ読み出し終了となる(S11)。

【0096】

次に、図7の消去動作モードについて説明する。ホストから消去命令が入るか、ホストからのデータの書き込みに先立つ消去命令がMPU2から出ると、消去開始となる(S12)。フラッシュメモリ制御ユニット8は、フラッシュメモリ9に対して消去コマンドを投入する(S13)。続いて、消去するクラスタの物理アドレスを投入すると(S14)、制御回路11がセルアレイ10から指定された物理アドレスのクラスタのデータを消去する(ベリファイ消去動作も含む)。

【0097】

制御回路11は、消去できたかをチェックし、消去ステータスの出力準備をする。フラッシュメモリ制御ユニット8がフラッシュメモリ9から消去ステータス

を読み出す (S15)。

【0098】

ステータスが“パス”か否かを判断し (S16)、もしステータスが“パス”なら消去は成功したと判定して (S17)、消去終了となる (S21)。ステータスが“パス”でなければ、フラッシュメモリ制御ユニット8はフラッシュメモリ9からメモリセルのデータを読み出す (S18)。

【0099】

S18で読み出されたデータを用いて、フラッシュメモリ制御ユニット8は、備えられたカウンタ等で不良 (エラー) をカウントする。ここでは不良カウントが例えば1より大きいか否かを判断し (S19)、もし1以下であれば消去は成功したとして判定し (S17)、消去終了となる (S21)。

【0100】

上記S19が、例えば図1におけるエラー判定部81である。S19における不良カウントは、エラー訂正方法に応じてビット数、セル数、シンボル数でカウントする。もし、不良カウントが1より大きければ、消去に失敗したと判定し (S20)、MPU2は、このクラスタの使用を禁止して、消去終了となる。

【0101】

次に、図8の書込み動作モードについて説明する。ホストから書き込み命令が入ると、書き込み開始となる (S22)。エラー検出・訂正ユニット7でホストから入力されたデータからチェックコードを生成する (S23)。フラッシュメモリ制御ユニット8は、フラッシュメモリ9に対して書き込みコマンドを投入する (S24)。続いて、書き込みするセクタの物理アドレスを投入し (S25)、書き込みデータとチェックコードと論理アドレスをフラッシュメモリ9に投入する (S26)。

【0102】

制御回路11がセルアレイ10の指定された物理アドレスのセクタに対してデータを書き込む。さらに、制御回路11は、書き込みできたかをチェックし、書き込みステータスの出力準備をする。フラッシュメモリ制御ユニット8がフラッシュメモリ9から書き込みステータスを読み出す (S27)。

【0103】

ステータスが“パス”か否かを判断し（S28）、もしステータスが“パス”なら書き込みは成功したと判定して（S29）、消去終了となる（S33）。ステータスが“パス”でなければ、フラッシュメモリ制御ユニット8はフラッシュメモリ9からメモリセルのデータを読み出す（S30）。

【0104】

S30で読み出されたデータを用いて、フラッシュメモリ制御ユニット8は、備えられたカウンタ等で不良（エラー）をカウントする。ここでは不良カウントが例えば1より大きいかな否かを判断し（S31）、もし1以下であれば書き込みは成功したとして判定し（S29）、書き込み終了となる（S33）。

【0105】

上記S31が、例えば図1におけるエラー判定部81である。S31における不良カウントは、エラー訂正方法に応じてビット数、セル数、シンボル数でカウントする。もし、不良カウントが1より大きければ、書き込みに失敗したと判定し（S32）、このセクタの使用を禁止して、書き込み終了となる。

【0106】

上記各実施形態によれば、本発明におけるエラー訂正可能なフラッシュメモリシステムは、複数のフラッシュメモリセルから構成されるデータの消去や書き込みのなされる記憶単位群が備えられ、記憶単位群から読み出されるデータのうちの所定数のエラーを検出・訂正可能である。このような記憶単位群へのデータの変更をした際、記憶単位群のデータが所望の記憶状態になっているかな否か検査の結果、所望の記憶状態にできなかったエラーが生じることがある。しかし、このエラーが上記エラー検出・訂正可能な所定数の範囲内に収まっているときは、この記憶単位群に対して正常な記憶状態になっているとして処理する。

【0107】

すなわち、本発明では、消去あるいは書き込み時に引き起こされたメモリセルのエラーが、エラー訂正可能な一定の量以下であれば、消去あるいは書き込みには成功したとみなす。これにより、過剰に使用禁止になるメモリ領域を低減し、システム不良率が下がり、かつ高信頼性のフラッシュメモリシステムが実現され

る。

【0108】

なお、本発明は、上述した実施形態に限定されるものではない。フラッシュメモリセルとしては、実施形態中に示したNAND型メモリセル以外にも、NOR型メモリセル、仮想グランドメモリセルなど、メモリセルの形態は選ばない。

【0109】

また、クラスタのサイズは、実施形態中では4セクタとしたが、8セクタ、9セクタ、16セクタなどシステムの特성에依じて選ぶことが可能である。また、クラスタ=セクタでもよい。

【0110】

また、1つのメモリセルが 2^k 値 ($k \geq 2$) 記憶する場合、 n 個のメモリセル群に n ビットの論理メモリセクタを、 k 個存在させることができる。このようにメモリセクタが物理的なメモリセル群と1対1で対応していなくても本発明は実施することができる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0111】

【発明の効果】

以上説明したように、本発明によれば、データの消去あるいは書き込み時に引き起こされたメモリセルのエラーが、エラー訂正可能な一定の量以下であれば、消去あるいは書き込みが成功したとみなす。この結果、メモリシステムにおける使用禁止のメモリ領域が過剰に増大するのを防止する、エラー訂正可能なフラッシュメモリシステムを提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るエラー訂正可能なフラッシュメモリシステムの構成であり、フラッシュメモリカードを示すシステムブロック図。

【図2】

(a), (b), (c) は、図1中のセルアレイ10の構成を示す概念図。

【図3】

本発明の第2、第3、第4の各実施形態に係るエラー訂正可能なフラッシュメモリシステムを説明するための構成であり、フラッシュメモリカードを示すシステムブロック図。

【図4】

フラッシュメモリセルアレイのセクタ内のデータ配列例を示す概念図。

【図5】

メモリセルアレイの具体例を示す回路図。

【図6】

本発明の第5の実施形態に係り、前記図1のメモリシステムに関する読み出し動作モードのアルゴリズムを示すフローチャート。

【図7】

本発明の第5の実施形態に係り、前記図1のメモリシステムに関する消去動作モードのアルゴリズムを示すフローチャート。

【図8】

本発明の第5の実施形態に係り、前記図1のメモリシステムに関する書込み動作モードのアルゴリズムを示すフローチャート。

【図9】

フラッシュメモリクラスタの消去後のしきい値分布を示す特性図。

【図10】

フラッシュメモリセクタの書き込み後のしきい値分布を示す特性図。

【図11】

1つのメモリセルに2ビット分のデータを記憶させる4値記憶システムを用いたフラッシュメモリのしきい値分布を示す特性図。

【符号の説明】

- 1…フラッシュメモリカード
- 2…マイクロプロセッサユニット
- 3…リード・オンリー・メモリ
- 4…カードインターフェースユニット
- 5…SRAMインターフェース兼データ転送制御ユニット

6…スタティック・ランダム・アクセス・メモリ

7…エラー検出・訂正ユニット

8…フラッシュメモリ制御ユニット

9…フラッシュメモリ

10…セルアレイ

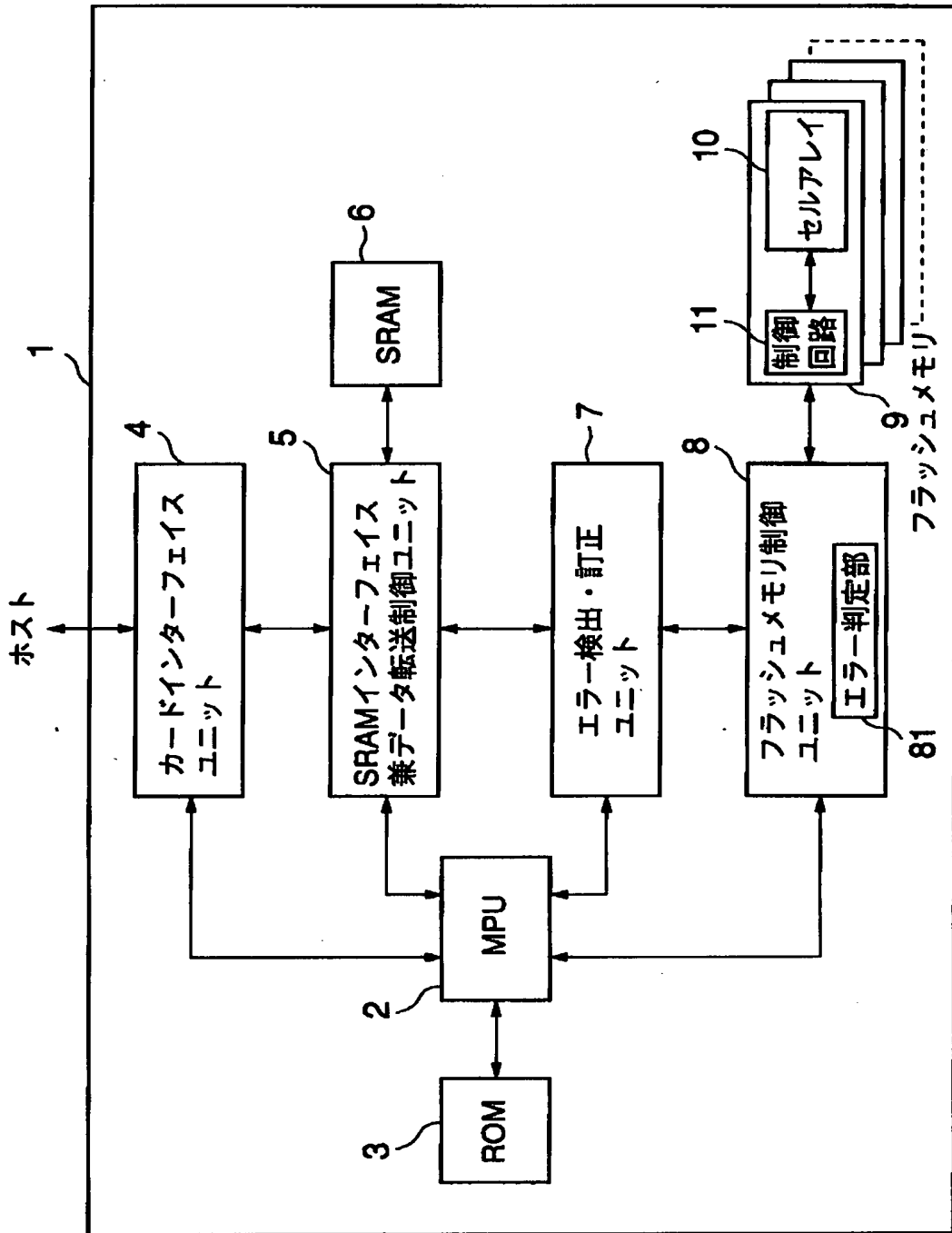
11…制御回路

81, 111…エラー判定部

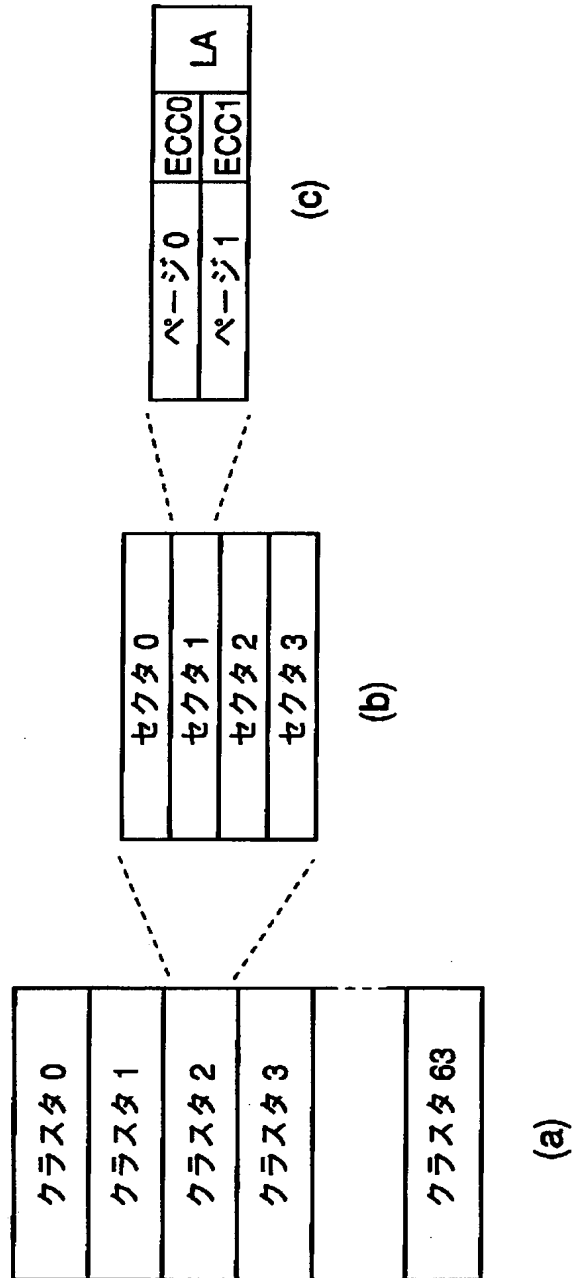
【書類名】

図面

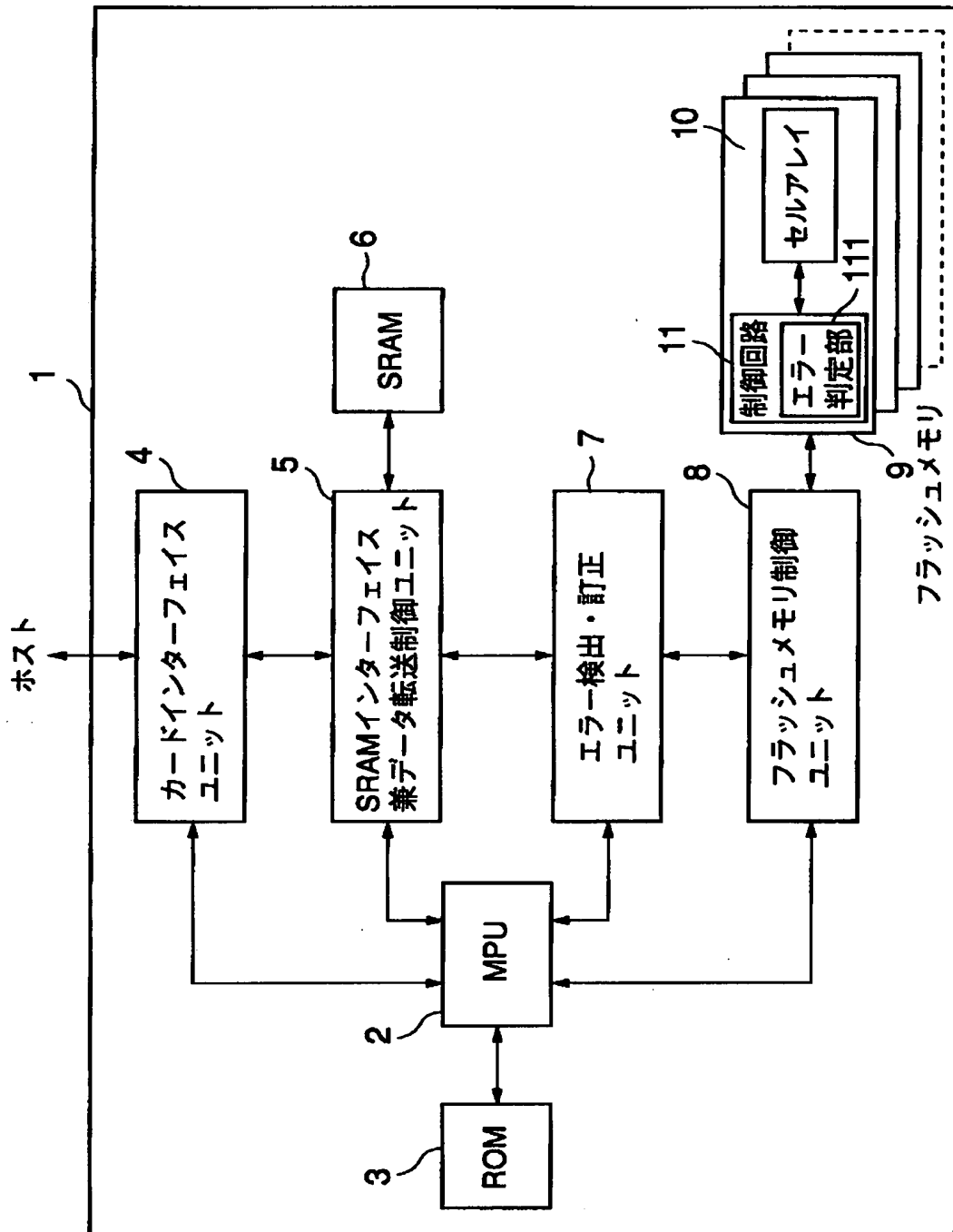
【図 1】



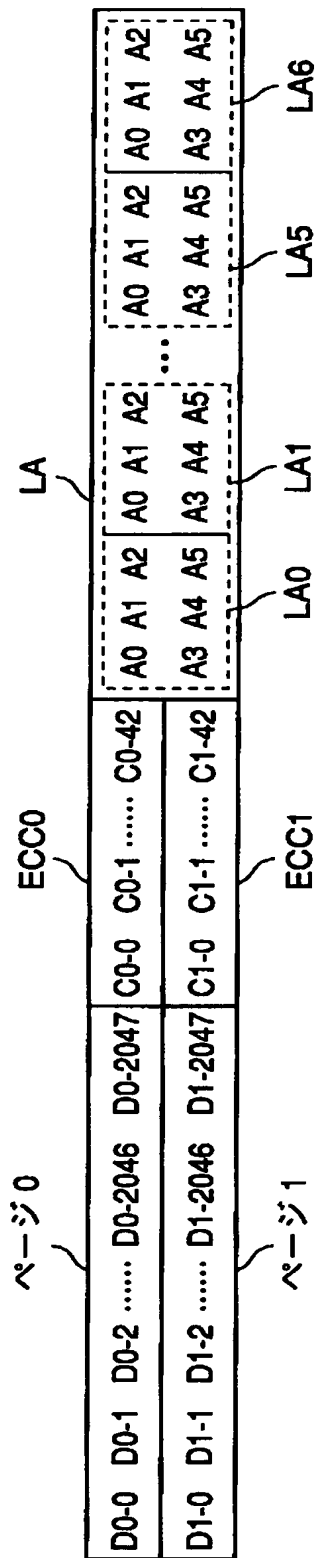
【図 2】



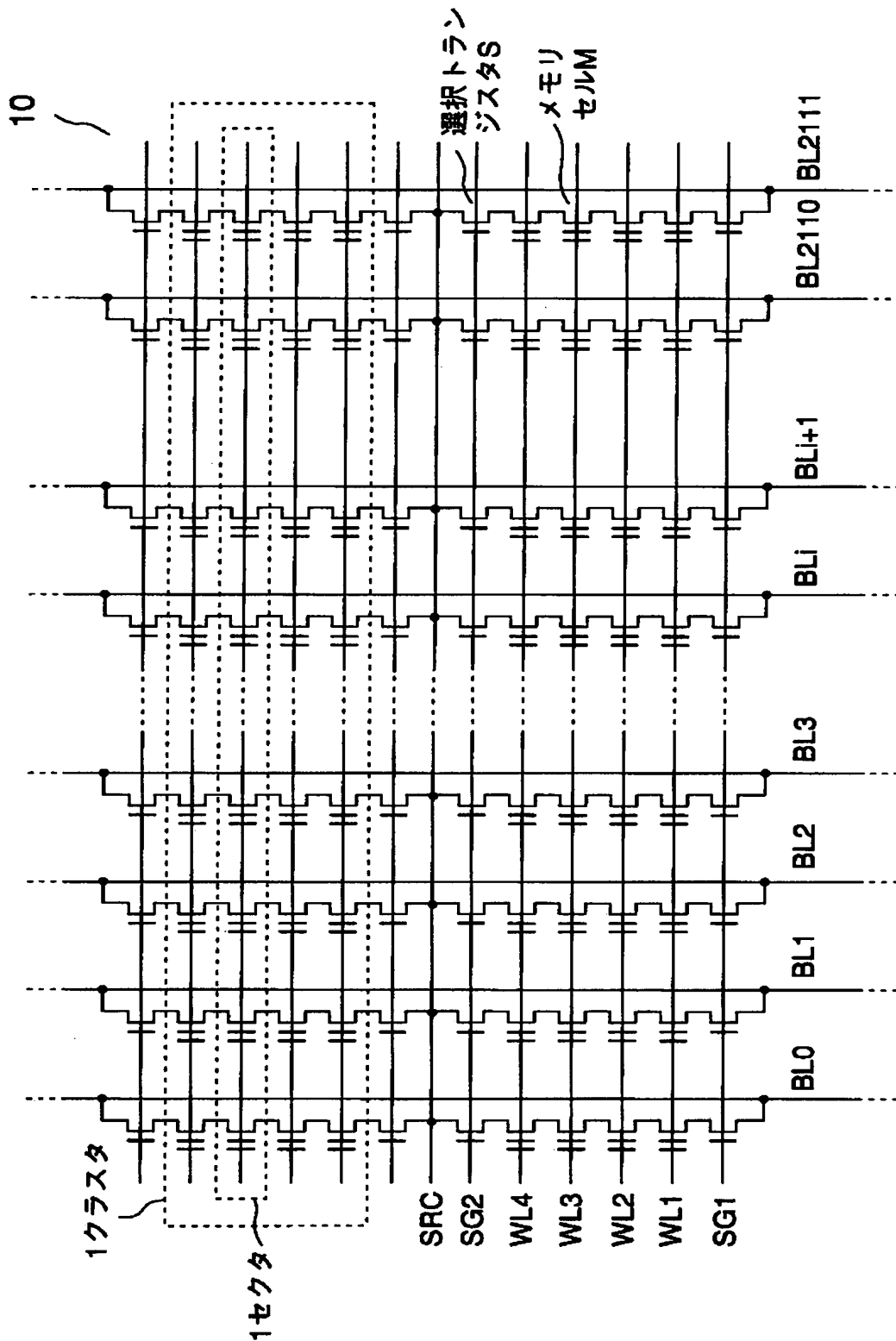
【図 3】



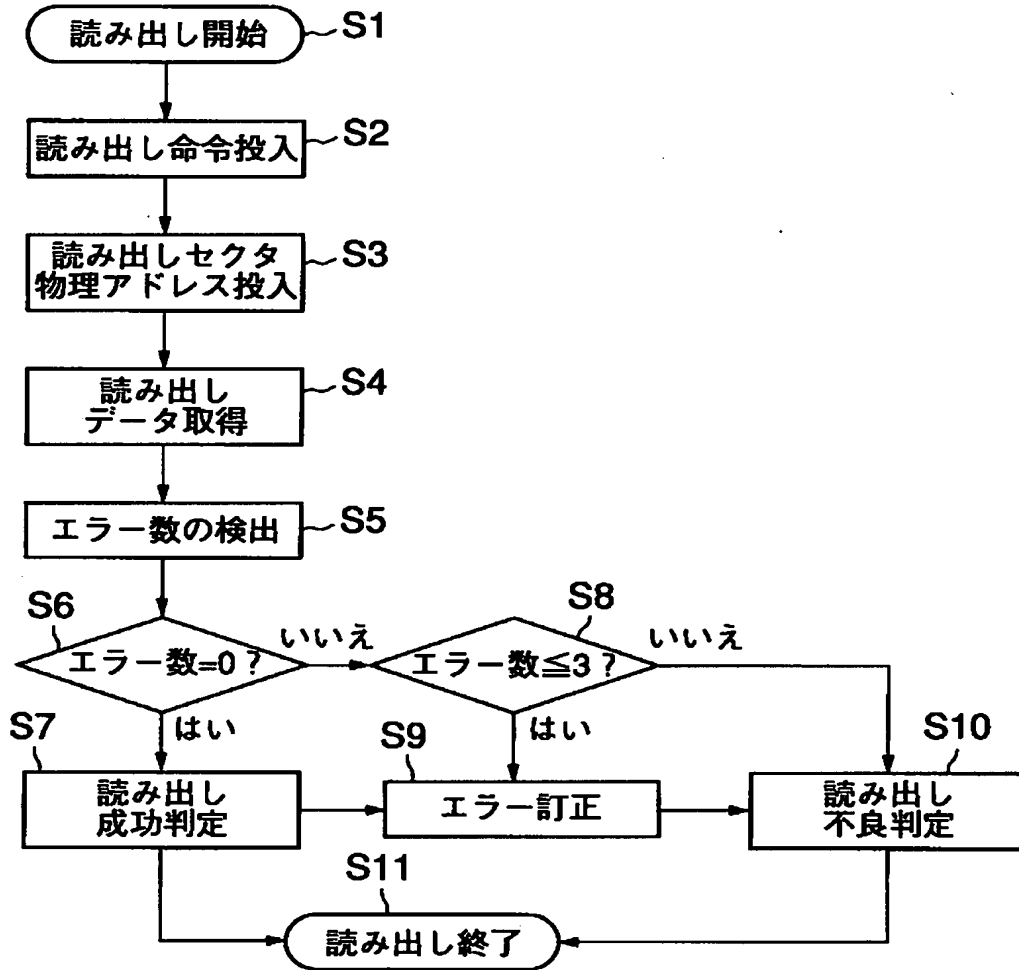
【図 4】



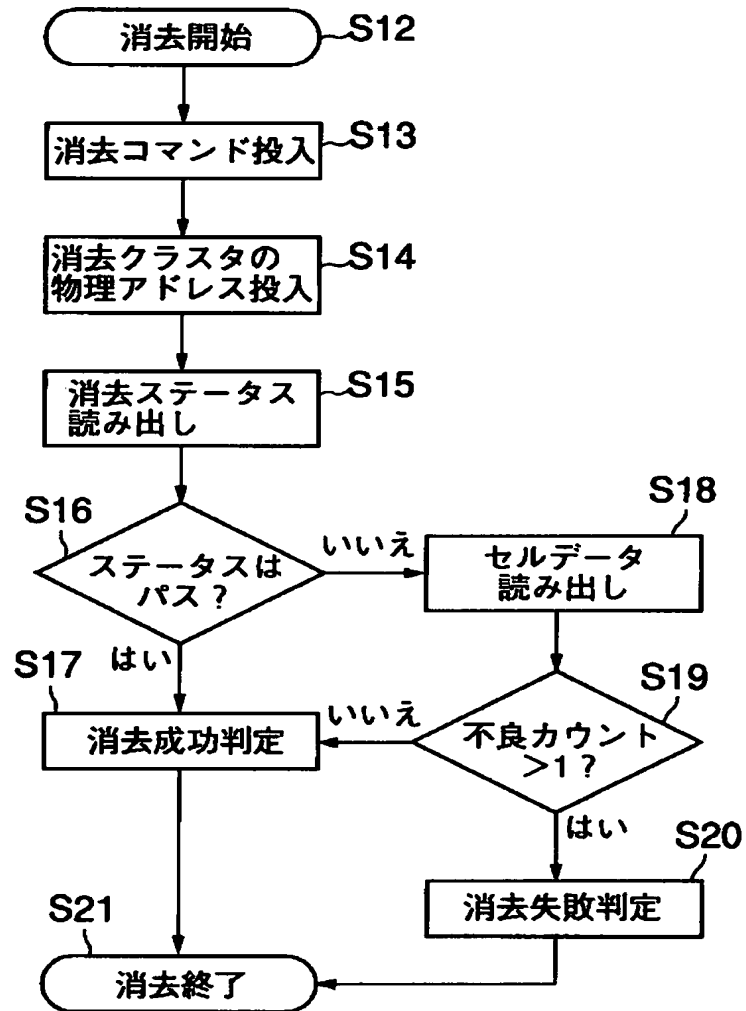
【図5】



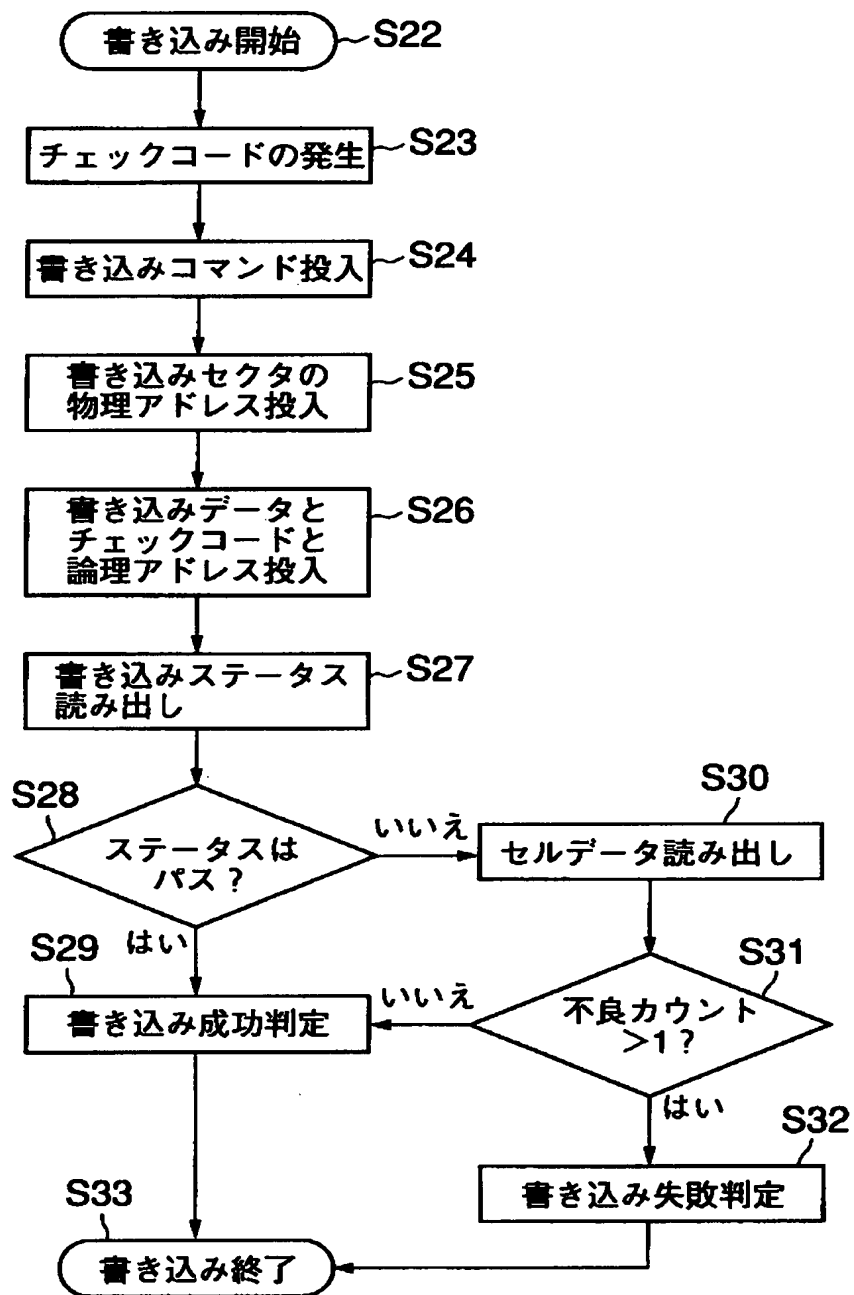
【図 6】



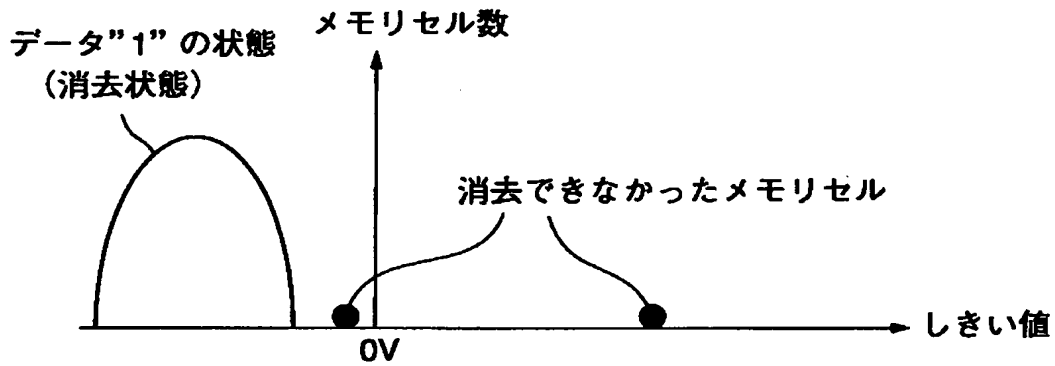
【図 7】



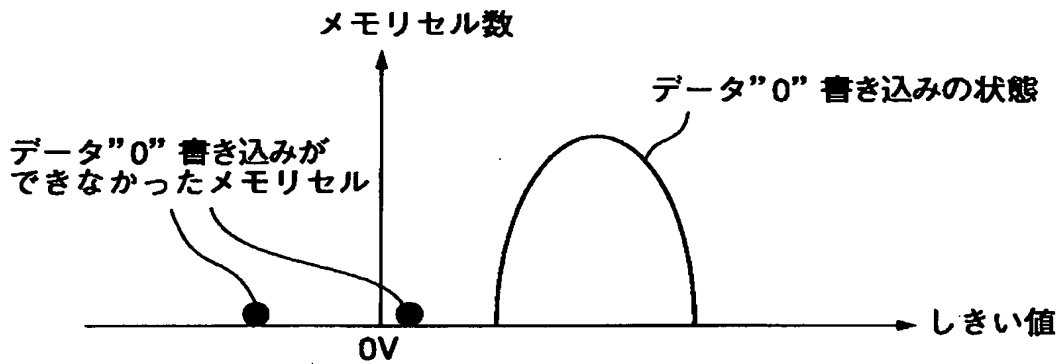
【図 8】



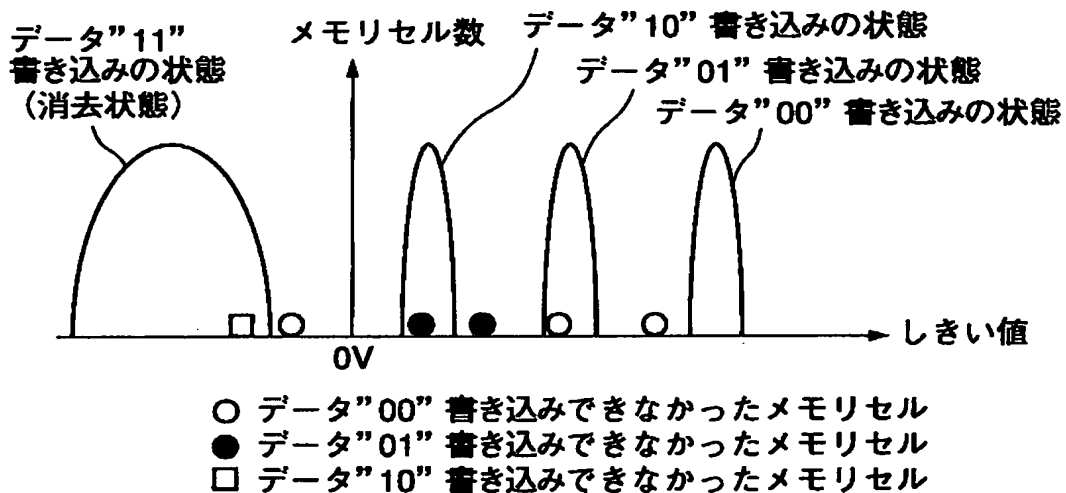
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 メモリシステムにおける使用禁止のメモリ領域が過剰に増大するのを防ぐ、エラー訂正可能なフラッシュメモリシステムを提供すること。

【解決手段】 MPU 2 は ROM 3 のプログラムを読んでホストとデータのやり取りをするカードインターフェイスユニット 4、SRAM インターフェイス兼データ転送制御ユニット 5、エラー検出・訂正ユニット 7、フラッシュメモリ制御ユニット 8 を制御する。フラッシュメモリ制御ユニット 8 には、エラー判定部 81 が含まれている。エラー判定部 81 は、フラッシュメモリ 9 におけるデータの消去、書き込みの各動作モードでのエラーが、ある決められたアルゴリズムに従ってエラー検出・訂正ユニット 7 で訂正できる範囲に収まっていれば、そのエラーを許可し、正常な消去または書き込みがなされたとみなされるよう作用する。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町7番地

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100058479

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 鈴江 武彦

【選任した代理人】

【識別番号】 100084618

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【住所又は居所】 東京都千代田区霞が関3丁目7番2号 鈴榮内外國
特許法律事務所内

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】	100070437
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外國 特許法律事務所内
【氏名又は名称】	河井 将次

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝